

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074286

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

(21)Application number : 10-185522

(71)Applicant : THOMSON CSF

(22)Date of filing : 28.05.1998

(72)Inventor :
DELAGÉ SYLVAIN
CASSETTE SIMONE
HENKEL ACHIM
SALZENSTEIN PATRICE

(30)Priority

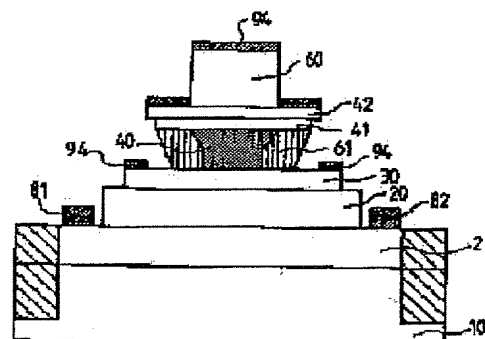
Priority number : 97 9706682 Priority date : 30.05.1997 Priority country : FR

(54) STABILIZED BIPOLAR TRANSISTOR WITH ELECTRICALLY INSULATING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize surface bonding through an electrical insulating element which comes in contact directly with the side face of an emitter mesa by a method, wherein a III-V semiconductor material, having the same width as that of a mesa, which comes into contact with the free surface of the base and the side face of the mesa, is used as the base material.

SOLUTION: The mesa of a base is etched by dry etching or composite etching, and ohmic contacts 81 and 82 are formed. Then, after the formation of the ohmic contact of the base having the shape of a metal layer 94 by automatic matching with the emitter mesa, the external base is etched for the purpose of reducing the parasitic capacitance of a base collector. A metal covering material can be formed with a Ti/Pt/Au alloy, for example, or with an Mo/Au alloy. A thick element 61 displays superior long-term stability for developing thick passivation, and after the regulation of emitter mesa using a fire-proof metal 42, the hydrogen in the base can be removed easily.



LEGAL STATUS

[Date of request for examination]

18.05.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74286

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁸

H 0 1 L 21/331
29/73
29/205

識別記号

F I

H 0 1 L 29/72
29/205

審査請求 未請求 請求項の数11 O L 外国語出願 (全 29 頁)

(21) 出願番号 特願平10-185522

(22) 出願日 平成10年(1998) 5月28日

(31) 優先権主張番号 9 7 0 6 6 8 2

(32) 優先日 1997年 5月30日

(33) 優先権主張国 フランス (F R)

(71) 出願人 591000827

トムソン・シーエスエフ
THOMSON-CSF
フランス国、75008・パリ、ブルバール・
オースマン・173

(72) 発明者 シルバン・ドウラージュ
フランス国、91440・ビュール・シユー
ル・イベット、リュ・シヤルル・ドウ・ゴ
ール・パティマン・1、154

(72) 発明者 シモン・カセツト
フランス国、91470・リムール、ピラ・ド
ウ・ラルバトロス、11

(74) 代理人 弁理士 川口 義雄 (外1名)

最終頁に続く

(54) 【発明の名称】 電氣的絶縁要素を有する安定化されたバイポーラトランジスタ

(57) 【要約】

【課題】 ベースの一部分上に位置しエミッタメサの側面に直接接触する電気絶縁素子によって表面再結合が最小になる、ヘテロ接合バイポーラトランジスタを提供する。

【解決手段】 本発明によるヘテロ接合バイポーラトランジスタ型の半導体構成部分は、基板の上にコレクタ、ベース、およびベース上に載ったメサ形状のエミッタを含む。このバイポーラトランジスタはさらに、ベースおよびエミッタメサの側面に接触する電気絶縁素子を含み、前記素子の幅はメサの幅と同じ大きさであり、安定性がより高い構成部分を提供する。さらに、この形式の構成部分を製造するための方法は特に、電気絶縁素子を規定するようにエミッタメサの構成層を介して絶縁イオンをイオンインプランテーションするステップを含む。

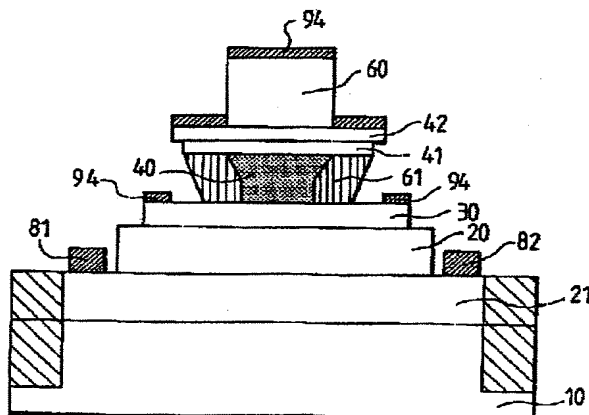


FIG. 6f

【特許請求の範囲】

【請求項1】 コレクタ、ベースおよびエミッタを含み、かつベース上に位置するメサを有し、さらにベースの自由表面と接触しメサの側面と接触している電気絶縁素子を含み、前記素子の幅が前記メサの幅と同じ大きさである、 $111-V$ 半導体材料を基材とするヘテロ接合バイポーラトランジスタ。

【請求項2】 各電気絶縁素子の幅がほぼ1ミクロンであり、メサの幅がほぼ2ミクロンである、請求項1に記載のヘテロ接合バイポーラトランジスタ。

【請求項3】 メサは n ドーピングされた $Ga_{x-1}n_{1-x}P$ によって構成されたエミッタのメサであり、ベースは p ドーピングされた $Ga_{y-1}n_{1-y}As$ によって構成され、電気絶縁素子はホウ素を含む $Ga_{x-1}n_{1-x}P$ によって形成されている、請求項1または2のいずれか一項に記載のヘテロ接合バイポーラトランジスタ。

【請求項4】 メサが表面上に、 $TiWSi$ 、 WN 、 TiW 、またはその他の耐火金属でできたオーム接触層を含む、請求項1から3のいずれか一項に記載のヘテロ接合バイポーラトランジスタ。

【請求項5】 トランジスタのリリーフ全体を覆うパッシベーション層をさらに含む、請求項1から4のいずれか一項に記載のヘテロ接合バイポーラトランジスタ。

【請求項6】 一方がメサ上にあり他方が基板上にあるブリッジ形状のヒートシンクをさらに含む、請求項1から5のいずれか一項に記載のヘテロ接合バイポーラトランジスタ。

【請求項7】 エミッタとコレクタとを構成する二枚の n 型（または p 型）にドーピングされた層の間に、ベースを構成する一枚の p 型（または n 型）にドーピングされた層を有する半導体エピタキシャル成長層を含む、 $111-V$ 半導体材料を基材とするヘテロ接合バイポーラトランジスタを作成する方法であって、さらに、ベース層の上に位置する上部層と呼ばれる層中に、幅1のマスクを介して電気絶縁性イオンをイオン注入するステップと、ドーピングされた半導体素子の両側で電気絶縁素子を規定するように、局部的に電気絶縁性にされた層を、幅1より大きな幅Lのマスクを介してエッチングするステップとを含む方法。

【請求項8】 上部層と呼ばれる層とベース層とがイオン注入に関して異なる種類の挙動を有する、請求項7に記載のヘテロ接合バイポーラトランジスタを作成する方法。

【請求項9】 ベース層の上に位置する層が n ドーピングされた $Ga_{x-1}n_{1-x}P$ で作成され、ベース層が p ドーピングされた $Ga_{y-1}n_{1-y}As$ によって構成される、請求項8に記載のヘテロ接合バイポーラトランジスタを作成する方法。

【請求項10】 幅1のマスクが Ti/Au 型の金属で

作成される、請求項7から9のいずれか一項に記載のヘテロ接合バイポーラトランジスタを作成する方法。

【請求項11】 幅1のマスクがレジンで作成される、請求項7から9のいずれか一項に記載のヘテロ接合バイポーラトランジスタを作成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタに関し、特に電流が基板の表面に直角に送られる縦型構造ヘテロ接合バイポーラトランジスタに関する。これらのトランジスタはマイクロ波の適用分野に使用される。

【0002】

【従来の技術】バイポーラトランジスタは、メサ形成すなわち隆起パターンまたはエンボスパターンにエッチングされた少なくとも一つの表面層を有する、半導体材料層のスタックによって構成される。図1は、基板S、サブコレクタSC、コレクタC、ベースBおよびエミッタEを含むヘテロ接合バイポーラトランジスタすなわちHBTの標準的構造を示す。従来は、エミッタの表面上に整合層の重ね合せによってコンタクトCEが作られている。側方には、二つのコンタクトCB₁、CB₂がベースの両側のコレクタ中に作られる。

【0003】この形式の縦型構造は、図1に示す自由表面S₁、S₂において電子/正孔再結合の問題が生じる。この再結合は、電流利得の劣化をもたらす主要因となる。

【0004】トランジスタの寸法が小さいほど、この現象は大きくなり、表面再結合現象の演じる役割はより大きくなる。したがって、このような構造のマイクロ波への適用はこの問題によってひどく不利になる。実際に、マイクロ波動作では、バイポーラトランジスタは、平行に位置するいくつかの基本トランジスタ（フィンガとも呼ばれる）からなる。ベース抵抗を制限するために、エミッタの幅を、したがって各フィンガの幅を制限することが必要である。一般的にはフィンガの幅は、100GHz以下の周波数を使用する適用例では2μm程度とすることができ、エミッタのフィンガの長さは約30ミクロンにすることができる。

【0005】

【発明が解決しようとする課題】特にGaAlAs/GaAs型材料でできたHBTトランジスタに関連して、この問題に関係があるいくつかの解決策がすでに知られている。したがって、エミッタとベースとの間の表面上に、非常に薄くしたがって過疎な幅広ギャップを有する半導体材料を残すことによって、パッシベーション層を導入することが提案されている。これは、ベース/パッシベーション層における再結合性の電気欠陥の出現を防止する。さらに具体的には、図2は、エミッタEが、ベースBを構成するGaAs層上に付着されたGa

AlAs層の部分エッチングによって得られる特別のアーキテクチャを有する構造を示す。二つのコンタクトCB₁、CB₂が、エミッタ層の表面S'1、S'2上に作られる。それから適切な処理によって、これらのコンタクトを厚さe₀に拡散させる。この構成では、以前にはベースの自由表面で良好な条件を有していたベース中の電子/正孔再結合は、ベースの上に維持されるエミッタの厚さe₀によって制限される。しかしながら、このタイプの構造の問題点は、コンタクトについて達成される拡散を完全に制御することができず、したがって時間と温度による変化を受け続けるかぎり、その安定性が低いことにある。

【0006】このため、本発明は、ベースの一部分上に位置しエミッタメサの側面に直接接触する電気絶縁素子によって表面再結合が最小化になる、ヘテロ接合バイポーラトランジスタを提案する。

【0007】本発明は、メサがエミッタメサである構造、ならびにメサコレクタのメサである構造に適用することができる。

【0008】

【課題を解決するための手段】さらに詳しくは、本発明の目的は、コレクタ、ベースおよびエミッタを含み、かつベース上に位置するメサを有し、さらにベースの自由表面と接触しメサの側面と接触している電気絶縁素子を含み、前記素子の幅が前記メサの幅と同じ大きさである、III-V半導体材料を基材とするヘテロ接合バイポーラトランジスタである。

【0009】本発明の一変形実施例によれば、メサはpドーピングされたGa_xIn_{1-x}Pによって構成されたエミッタのメサであり、ベースはGa_yIn_{1-y}Asによって構成され、電気絶縁素子はホウ素イオンを含むGa_xIn_{1-x}Pによって形成されている。

【0010】メサが表面上に、TiWSi、WN、TiW、またはその他の耐火金属でできたオーム接触層を含むと有利である。

【0011】本発明の一変形実施例では、バイポーラトランジスタはパッシベーション層を含む。

【0012】本発明の一変形実施例では、バイポーラトランジスタは、一方がメサ上にあり他方が基板上にあるブリッジ形状のヒートシンクを含む。

【0013】本発明の目的はまた、エミッタとコレクタとを構成する数個のn型（またはp型）にドーピングされた層の間に、ベースを構成する一枚のp型（またはn型）にドーピングされた層を有する半導体エピタキシャル成長層を含む、III-V半導体材料を基材とするヘテロ接合バイポーラトランジスタを作成する方法であり、前記方法はさらに、ベース層の上に位置する上部層中に、幅lのマスクを介して電気絶縁イオンをイオンインプランテーションするステップと、ドーピングされた半導体素子（40）の両側で電気絶縁素子（61）を規

定するように、部分的に電気絶縁性にされた層を、幅lより大きな幅Lのマスクを介してエッチングするステップとを含む。

【0014】上部層と呼ばれる層とベース層は、イオンインプランテーションに関して異なる種類の挙動を有すると有利である。上部層と呼ばれる層のみが、前記イオンインプランテーションによってその電気的性質が修正される。

【0015】添付の図面を参照して非限定的な例によって行下記の説明から、本発明はさらに明らかに理解され、その他の利点も明らかになる。

【0016】

【発明の実施の形態】本発明によるヘテロ接合バイポーラトランジスタの、エミッタが上部にある構造の場合を図3に概略的に示す（本発明はコレクタが上部にある構造にも適用可能であることに留意されたい）。本発明によるバイポーラトランジスタは、基板10、サブコレクタ21、コレクタ20、ベース30、およびエミッタ40を含む。コレクタのオームコンタクト81、82はサブコレクタ層21上に位置し、ベースのオームコンタクト91、92はベース上のエミッタミサ40の両側に位置し、エミッタミサ40の側面は電気絶縁素子61と接触している。エミッタのオームコンタクト42はメサ40全体上および絶縁素子61上に位置する。

【0017】Ga_{0.5}In_{0.5}P/GaAsでnpnにドーピングされたバイポーラトランジスタに関連して、本発明をさらに詳しく説明する。リンを基材とする物質とヒ素を基材とする物質を選択すると、層ごとに異なる選択的なエッチングまたはイオンインプランテーションなどの操作に関する挙動が可能となる。これが本発明に関連する重要な点である。

【0018】この形式のトランジスタは、半絶縁GaAs基板と、（典型的濃度が約4×10¹⁸cm⁻³の）nドーピングされたGaAsでできたサブコレクタ層と、（典型的濃度が約2×10¹⁶cm⁻³の）nドーピングされたGaAsコレクタ層と、（典型的濃度が約7×10¹⁹cm⁻³の）pドーピングされたGaAsでできたベース層と、（典型的濃度が約3×10¹⁷cm⁻³の）nドーピングされたGaInPでできたエミッタ層とを含む。

【0019】GaInPEミッタのメサは、GaAs上の選択的エッチングによって良く制御された形で規定される。同様にGaInPとGaAsは、図4と図5の曲線に示すように、イオンインプランテーションに関して非常に異なる種類の挙動を示す。

【0020】曲線（a）、（b）、（c）、（d）はそれぞれ、イオンインプランテーションの前、その間、10分後、1時間後に行った測定に関する。

【0021】図4および図5は、200kVでホウ素イオンインプランテーションした、nドーピングされたGaInPとpドーピングされたGaAsの、（それぞれの）電

気伝導率の感度の差を析出イオン量の関数として示したものである。これらの図は、電気伝導率の変化を 416°C におけるアニール時間の関数として示している。n 型 GaInP の場合には、物質は $5 \times 10^{12} \text{ cm}^{-2}$ のインプラントレーション量で $10^5 \text{ ohm} \cdot \text{cm}$ よりずっと高い電気抵抗率を有する。この現象によって、上述の素子 61 を規定するように実際に絶縁する n ドーピングされた GaInP 層を作成することが可能であり、同時に p ドーピングされた GaAs の層は実際上同じ電気抵抗を保持する。

【0022】この形式のヘテロ接合バイポーラトランジスタを得るために使用される本発明による製造方法を、次にさらに詳細に説明する。この方法は、図 6a から図 6f に図示する主要ステップを含む。

【0023】GaAs 基板 10 を使用して下記の層、すなわちサブコレクタ層 21 (n ドーピングされた GaAs)、コレクタ層 20 (n ドーピングされた GaAs)、ベース層 30 (p ドーピングされた GaAs)、エミッタ層 40 (n ドーピングされた GaInP)、接触層 41 (GaInAs) のエピタキシャル成長が達成される。

【0024】耐火オームコンタクトを設けるために、耐火金属の層 42 (TiWSi, WN; TiW, ...) がオフサイトに付着される。

【0025】エピタキシ中に本質的にベース半導体層中にトラップされた水素の除去を容易にするように、エミッタのメサ (後述する) を規定した後に構造を焼なましできることから、結果的に耐火物質の使用の主な利点が生まれる。実際に耐火金属は、水素の開放に必要な高温を支えるために使用される。留意すべきことは、メサの存在が、接合によって引き起こされるポテンシャルウェルの中に閉じ込められたベースの受容体原子の中にトラップされた水素の外拡散の可能性を増すことである。こうして行われる層の積み重ねを図 6a に示す。

【0026】第二段階では、共通基板のパッチアウトで作られるバイポーラトランジスタを絶縁するために、インプラントレーション保護マスク 50 をレジンで作り、深い電気絶縁イオンインプラントレーション (H, He, B, O, F, ...) を実施して、構成部分の寄生物を減らし、絶縁ウェル 51、52 によって構成部分間を絶縁する (図 6b)。

【0027】それから幅 1 の肥厚金属被覆物 60 を蒸着し、次にエミッタのオームコンタクトを標準的なリフトオフ法で蒸着し、次いで、エミッタ層 40 に絶縁領域 61 を規定するように、 200 kV でホウ素による選択的パッシベーションイオンインプラントレーションを行う。インプラントレーションのステップは、本質的に図 6c に示す凹状メサ 40 に向かう。金属被覆物 60 は、一般的な幅 $2 \mu\text{m}$ 、厚さ約 $1 \mu\text{m}$ の Ti/Au にしてもよい。エミッタの上に金属被覆物が存在するので、このマスク

によって保護された半導体材料はその最初の導電性を保存している。耐火物質でできた金属被覆物は、大きなエネルギー損失なしにイオンをこれに通過させるために十分に薄い。ホウ素インプラントレーション量は $2.5 \times 10^{12} \text{ cm}^{-2}$ であり、これは露出された GaInP 層のみが絶縁物になる程度である。イオンの分散終端は、ベースの物質のインプラントレーションに対する感度が低いために、ベースを妨害することなくベースを通過する。反対に、弱い n 型ドーピング (約 $2 \times 10^{16} \text{ cm}^{-3}$) の GaAs コレクタも、大きな障害を伴うことなくこの分散終端によって電氣的にわずかに変化することがある。

【0028】幅 1 の感光性レジン 70 の第二エッチングマスクが作られる。耐火金属を SF₆ ベースの反応性乾式エッチングによってエッチングを行う。それから、GaAs 層 41 を SiCl₄ ベースの反応性イオンエッチングによってエッチングを行い、そしてホウ素インプラント GaInP 層 61 を HCl ベースの化学的エッチングで処理する。一般的には、GaAs 層を、SiCl₄ などの塩素化反応性イオンエッチングによって、または例えばクエン酸を使用する湿式エッチングによってエッチングすることができる。GaInP 層は、純粋な塩酸または希塩酸を基材にした溶液によってエッチングすることができる。こうして、図 6d に示すように、エミッタのメサ 40 のいずれの側にも電気絶縁素子 61 を規定することができる。電気絶縁素子は、ベースを効果的にパッシベーションするために一般的には少なくとも $0.3 \mu\text{m}$ の幅を有する。 $1 \mu\text{m}$ の幅では、マイクロ波構成部分を得るための十分な妥協が可能である。実際に、マイクロ波の利得は、エミッタの活動ゾーンとベースのオームコンタクトの条片縁との間の間隔ミクロン当たり約 1 dB から 10 GHz だけ低下する。この原因は、ベースとベースコレクタ抵抗器とのアクセス抵抗の増加である。

【0029】図 6e に示す次のステップでは、ベースのメサが乾式エッチング (塩素化 RIE) または複合エッチング (RIE とこれに続く化学的エッチング) によってエッチングされ、それからコレクタのオームコンタクト 81、82 が作られる。

【0030】次にベースのオームコンタクトを作る。このベースのオームコンタクトは金属層 94 の形状を有し、エミッタのメサと自動整合する。それから図 6f に示すように、ベースコレクタ寄生キャパシタンスを減少させるために、外部ベースをエッチングする。オームコンタクトの金属被覆物は、例えば Ti/Pt/Au 合金または Mo/Au 合金で作ることができる。Pt も Pd も含まない金属被覆物の使用は、周辺の水素分子との触媒反応の出現を妨げる。(ヒ素化合物を基材とする上部層の湿式エッチングの場合に) 耐火金属の下に容易に得られる約 $0.1 \mu\text{m}$ のオーバーハングによって、ベースの条片の中に高周波で伝播する現象を制限して、構成部

分のマイクロ波操作に都合の良い厚いベース金属被覆物を可能にする。

【0031】この方法とこの結果として得られる構成部分が有する多くの利点には、下記が含まれる。

【0032】厚い素子61は厚いパッシベーションをもたらし、すぐれた長期安定性をもたらす。

【0033】耐火金属42の使用によって、エミッタのメサを規定した後にベースの中に存在する水素の容易な除去を考慮することができ、したがって装置の信頼性の向上が可能となる。

【0034】上記の方法は、第2736468号として公開され、本出願人によって出願されたフランス特許出願に記載されているような、より従来型の厚いパッシベーション層の存在と、さらにエミッタ層の中に組み込まれた安定抵抗器の存在とも両立できる。パッシベーション層100を含む本発明による例示的なトランジスタを図7に示す。

【0035】得られる構成部分は、第2737342号として公開され、本出願人によって出願されたフランス特許出願に記載されているような、上部ヒートシンクの製法と両立できるものである。パッシベーション層100とヒートシンク101とを含む本発明による例示的な構成部分を図8に示す。上記の説明では、マスク素子60は金属素子である。このマスク素子をレジンで作って、その後除去することもできる。この場合、ヒートシンクをエミッタのレベルと接触して層94の上に直接置くこともできる。実際、メサ40と素子61とを含むユニットの全幅すなわち寸法Lは、図9に示すように、パッシベーション層100を局部的に除去してヒートシンクを層94の上に直接置くのに十分である。

【図面の簡単な説明】

【図1】ヘテロ接合バイポーラトランジスタの標準的な構造を示す図である。

【図2】電子／正孔再結合を制限するために特殊な構成のエミッタのメサを使用した、従来の技術によるヘテロ接合バイポーラトランジスタを示す図である。

【図3】本発明によるヘテロ接合バイポーラトランジスタを示す図である。

【図4】本発明によるトランジスタにおける「エミッタ」層を構成するnドーピングされたGaInPの抵抗率の、イオンインプランテーションにおけるホウ素イオ

ン量の関数としての変化を示すグラフである。

【図5】本発明によるトランジスタにおけるベース層を構成するpドーピングされたGaAsの抵抗率の、イオンインプランテーションにおけるホウ素イオン量の関数としての変化を示すグラフである。

【図6a】本発明によるトランジスタの製造方法の主要ステップを示す図である。

【図6b】本発明によるトランジスタの製造方法の主要ステップを示す図である。

【図6c】本発明によるトランジスタの製造方法の主要ステップを示す図である。

【図6d】本発明によるトランジスタの製造方法の主要ステップを示す図である。

【図6e】本発明によるトランジスタの製造方法の主要ステップを示す図である。

【図6f】本発明によるトランジスタの製造方法の主要ステップを示す図である。

【図7】パッシベーション層を含むバイポーラトランジスタの一例を示す図である。

【図8】特に幅1のマスクの上に置かれたヒートシンクを含むバイポーラトランジスタの第一例を示す図である。

【図9】幅1のマスクがないメサの上に置かれたヒートシンクを含むバイポーラトランジスタの第二例を示す図である。

【符号の説明】

- 10 基板
- 20 コレクタ
- 21 サブコレクタ
- 30 ベース
- 40 エミッタ
- 41 接触層
- 42 エミッタのオームコンタクト、耐火金属層
- 51、52 絶縁ウェル
- 60 肥厚金属被覆物
- 61 電気絶縁素子
- 81、82 コレクタのオームコンタクト
- 91、92 ベースのオームコンタクト
- 94 金属層
- 100 パッシベーション層
- 101 ヒートシンク

【図 1】

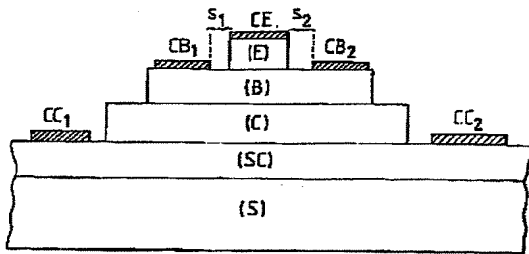


FIG.1

【図 2】

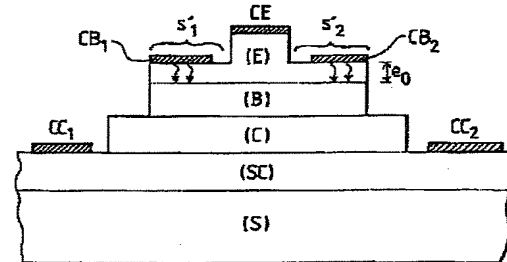


FIG.2

【図 3】

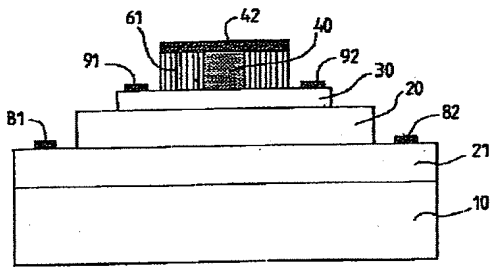


FIG.3

【図 4】

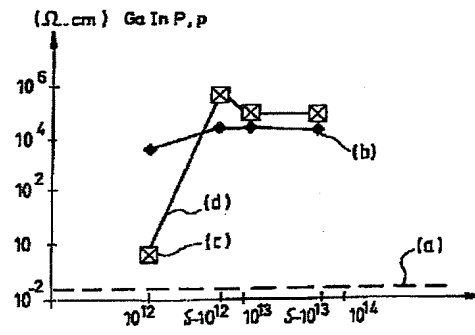


FIG.4

【図 5】

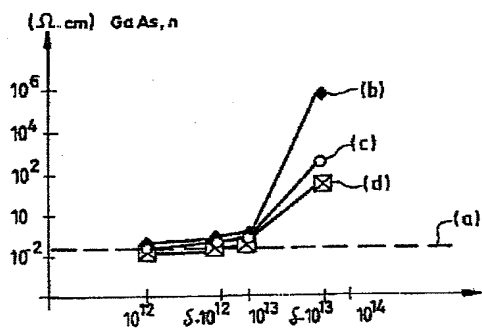


FIG.5

【図 6 a】

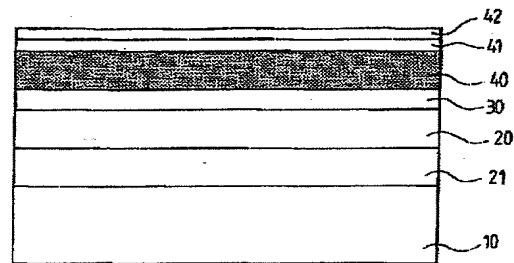


FIG.6a

【図 6 b】

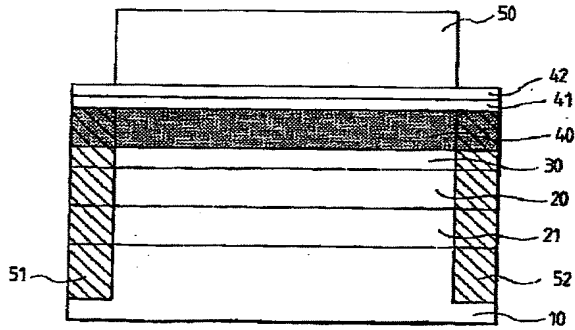


FIG. 6b

【図 6 c】

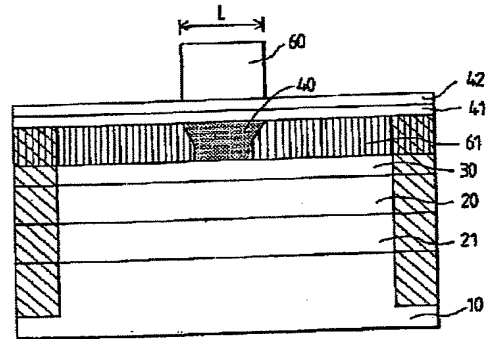


FIG. 6c

【図 6 d】

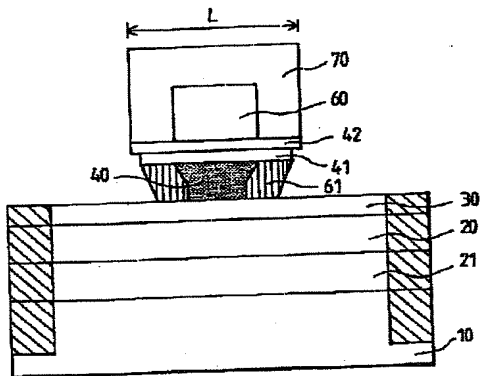


FIG. 6d

【図 6 e】

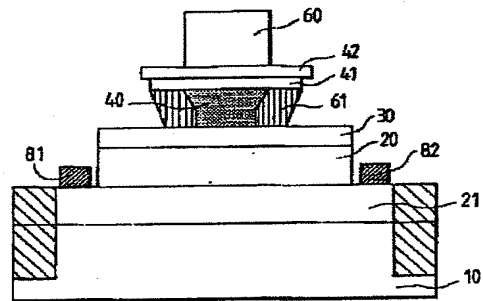


FIG. 6e

【図 6 f】

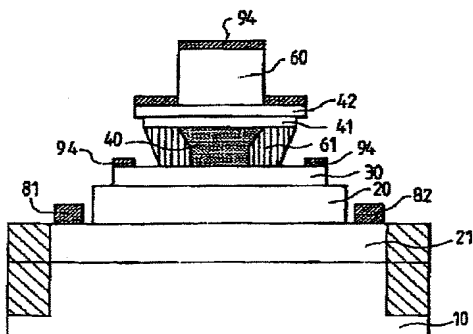


FIG. 6f

【図 7】

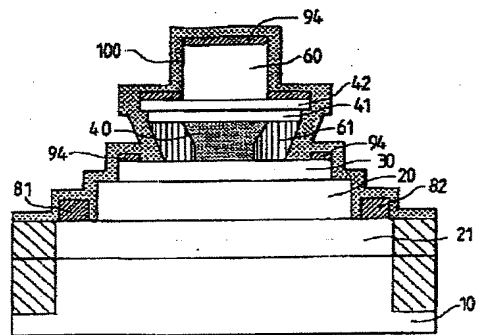


FIG. 7

【図 8】

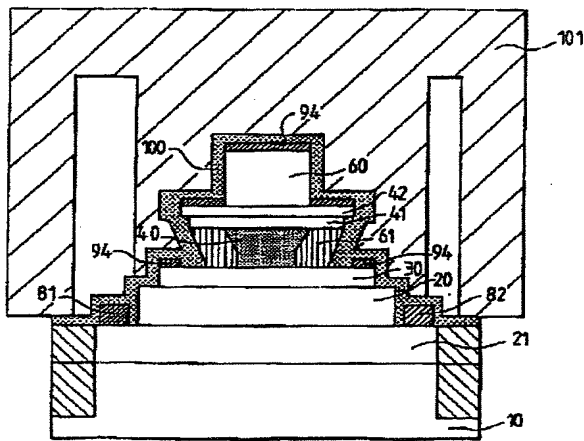


FIG. 8

【図 9】

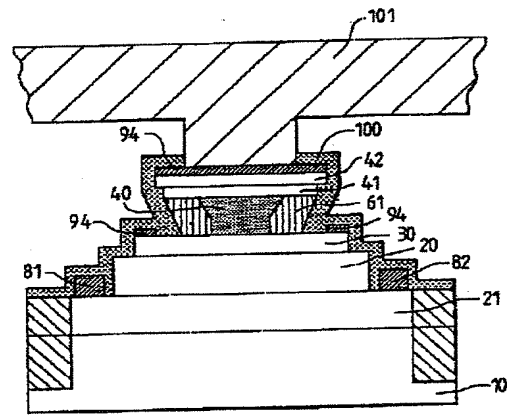


FIG. 9

フロントページの続き

(72) 発明者 アシム・アンケル
フランス国、78000・ベルサイユ、アブニ
ユ・ドウ・ラ・メ、6

(72) 発明者 パトリス・サルゼンスタイン
フランス国、78180・モンティニー・ル・
ブルトヌー、ブルパール・デカルト、145

【外国語明細書】

1. Title of Invention

BIPOLAR TRANSISTOR STABILIZED WITH ELECTRICAL INSULATING

2. Claims

1. A heterojunction bipolar transistor based on III-V semiconductor materials comprising a collector, a base and an emitter and having a mesa located on the base, said transistor furthermore comprising electrically insulating elements in contact with the free surface of the base and in contact with the flanks of the mesa, the width of said elements being of the same magnitude as the width of said mesa.

2. A heterojunction bipolar transistor according to claim 1, wherein the width of each electrical insulating element is in the region of one micron, the width of the mesa being in the region of two microns.

3. A heterojunction bipolar transistor according to one of the claims 1 or 2, wherein the mesa is an emitter mesa constituted by n doped $\text{Ga}_x\text{In}_{1-x}\text{P}$, the base is constituted by p doped $\text{Ga}_y\text{In}_{1-y}\text{As}$, the electrically insulating elements being formed by $\text{Ga}_x\text{In}_{1-x}\text{P}$ containing boron.

4. A heterojunction bipolar transistor according to one of the claims 1 to 3, wherein the mesa comprises, on the surface, an ohmic contact layer made of refractory metal of the TiWSi, WN, TiW or other type.

5. A heterojunction bipolar transistor according to one of the claims 1 to 4, further comprising a passivation layer covering the entire relief of the transistor.

6. A heterojunction bipolar transistor according to one of the claims 1 to 5 further comprising a heat sink in the form of a bridge lying on the one hand on the mesa and on the other hand on the substrate.

整理番号=P 4 1 0 6 0

ページ (2/12)

7. A method for making a heterojunction bipolar transistor based on III-V semiconductor materials comprising the epitaxial growth of semiconductor layers, a p type (or n type) doped layer of which, constituting the base, is contained between two n type (or p type) doped layers constituting the emitter and the collector, wherein said method further comprises:

- the ion implantation, through a mask with a width l , of electrically insulating ions in the layer called the upper layer, located above the base layer;
- the etching through a mask with a width L , greater than the width l , of the layer that has been made to be locally electrically insulating, so as to define electrically insulating elements on either side of doped semiconductor elements.

8. A method for the making of a bipolar transistor according to claim 7, wherein the layer called the upper layer and the base layer have different types of behavior with respect to ion implantation.

9. A method for the making of a bipolar transistor according to claim 8, wherein the layer located above the base layer is made of n doped $Ga_xIn_{1-x}P$ and the base layer is constituted by p doped $Ga_yIn_{1-y}As$.

10. A method for the making of a bipolar transistor according to any of the claims 7 to 9, wherein the mask with a width l is made of Ti/Au type metal.

11. A method for the making of a bipolar transistor according to any of the claims 7 to 9, wherein the mask with a width l is made of resin.

整理番号=P 4 1 0 6 0

ページ (3/12)

3. Detailed Description of Invention

BACKGROUND OF THE INVENTION

1. Field of the Invention

The field of the invention is that of bipolar transistors and especially vertical structure heterojunction bipolar transistors in which the current is conveyed perpendicularly to the surface of the substrate. These transistors are used for microwave applications.

A bipolar transistor is constituted by a stack of layers of semiconductor materials, of which at least one surface layer is etched in a mesa formation, namely a raised or embossed pattern. Figure 1 illustrates a standard structure of a heterojunction bipolar transistor or HBT comprising a substrate S, a sub-collector SC, a collector C, a base B and an emitter E. Conventionally, a contact CE is made on the surface of the emitter by the superimposition of matched layers. Laterally, two contacts CB₁ and CB₂ are also made in the collector on either side of the base.

This type of vertical structure raises a problem of electron/hole recombination at the free surfaces S₁ and S₂ shown in Figure 1. These recombinations play a major role in the deterioration of current gain.

The smaller the size of the transistors, the greater is this phenomenon, with the surface recombination phenomena playing a greater role. Consequently, the microwave applications of such structures are heavily penalized by this problem. Indeed, for microwave operation, a bipolar transistor consists of several elementary transistors (also called fingers) positioned in parallel. To limit the base resistance, it is necessary to limit the width of the emitter and therefore the width of each finger. Typically, the width of a finger may be in the range of 2 μm for applications using frequencies below 100 GHz while the length of the finger of the emitter may be about 30 microns.

2. Description of the Prior Art

Certain solutions have already been brought to bear on this problem, especially in the context of HBT transistors made with

整理番号 = P 4 1 0 6 0

ページ (4/12)

GaAlAs/GaAs type materials. Thus, it has been proposed to introduce a passivation layer by leaving, on the surface between the emitter and the base, a semiconductor material with a wide gap that is very thin and therefore depopulated. This prevents the appearance of recombinant electrical defects at the base/passivation interface. More specifically, Figure 2 describes a structure in which the emitter E has a special architecture obtained by the partial etching of a layer of GaAlAs deposited on a layer of GaAs constituting the base B. Two contacts CB₁ and CB₂ are made on the emitter layer on the surfaces S'1 and S'2. Then, by an appropriate treatment, these contacts may get diffused on the thickness e_0 . In this configuration, the electron/hole recombinations in the base, which previously enjoyed favorable conditions at the free surface of the base, are limited owing to the emitter thickness e_0 maintained above the base. The problem of this type of structure however lies in their poor stability inasmuch as the diffusion achieved for the contacts cannot be entirely controlled and may therefore continue to undergo changes with time and temperature.

This is why the invention proposes a heterojunction bipolar transistor in which the surface recombinations are minimized through electrically insulating elements located on a part of the base and in direct contact with the flanks of the emitter mesa.

The invention can be applied to structures in which the mesa is an emitter mesa as well as to structures in which the mesa is a collector mesa.

SUMMARY OF THE INVENTION

More specifically, an object of the invention is a heterojunction bipolar transistor based on III-V semiconductor materials comprising a collector, a base and an emitter and having a mesa located on the base, said transistor furthermore comprising electrically insulating elements in contact with the free surface of the base and in contact with the flanks of the mesa, the width of said elements being of the same magnitude as the width of said mesa.

According to one variant of the invention, the mesa is an emitter mesa constituted by p doped $\text{Ga}_x\text{In}_{1-x}\text{P}$, the base is constituted by

整理番号 = P 4 1 0 6 0

ページ (5/12)

$\text{Ga}_y\text{In}_{1-y}\text{As}$, the electrically insulating elements being formed by $\text{Ga}_x\text{In}_{1-x}\text{P}$ containing boron ions.

Advantageously, the mesa may comprise, on the surface, an ohmic contact layer made of refractory metal of the TiWSi, WN, TiW or other type.

According to one variant of the invention, the bipolar transistor comprises a passivation layer.

According to one variant of the invention, the bipolar transistor comprises a heat sink in the form of a bridge lying on the one hand on the mesa and on the other hand on the substrate.

An object of the invention is also a method for making a heterojunction bipolar transistor based on III-V semiconductor materials comprising the epitaxial growth of semiconductor layers including a p type (or n type) doped layer constituting the base, between two n type (or p type) doped layers constituting the emitter and the collector, wherein said transistor further comprises:

- the ion implantation, through a mask with a width l , of electrically insulating ions in the said upper layer, located above the base layer;
- the etching through a mask with a width L , greater than the width l , of the layer that has been made to be locally electrically insulating, so as to define electrically insulating elements (61) on either side of doped semiconductor elements (40).

Advantageously, the layer called the upper layer and the base layer have different types of behavior with respect to the ion implantation. Only the layer called the upper layer has its electrical properties modified by said ion implantation.

The invention will be understood more clearly and other advantages shall appear from the following description, given by way of a non-restrictive example with reference to the appended figures, of which:

整理番号 = P 4 1 0 6 0

ページ (6/12)

MORE DETAILED DESCRIPTION

The heterojunction bipolar transistor according to the invention is shown schematically in Figure 3, in the case of a structure with the emitter at the top (it must be noted that the invention can also be applied to the case of a structure with a collector at the top). The bipolar transistor according to the invention comprises a substrate 10, a sub-collector 21, a collector 20, a base 30 and an emitter 40. Ohmic contacts 81 and 82 of the collector are located on the sub-collector layer 21, base ohmic contacts 91, 92 are located on the base on either side of the emitter mesa 40 whose flanks are in contact with electrical insulating elements 61. An emitter ohmic contact 42 is located on the entire mesa 40 and the insulating elements 61.

The invention shall be described more specifically in the context of $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}/\text{GaAs}$, npn doped heterojunction bipolar transistors. The choice of a phosphorus-based material and an arsenic-based material provides for behavior with respect to operations such as etching or ion implantation that is different and selective from one layer to the next. This is a point of major interest in the context of the invention.

This type of transistor comprises:

- a semi-insulating GaAs substrate;
- a sub-collector layer made of n doped GaAs (with a typical concentration of about $4 \cdot 10^{18} \text{cm}^{-3}$);
- an n doped GaAs collector layer (with a typical concentration of about $2 \cdot 10^{16} \text{cm}^{-3}$);
- a base layer made of p doped GaAs (with a typical concentration of about $7 \cdot 10^{19} \text{cm}^{-3}$);
- an emitter layer made of n doped GaInP (with a typical concentration of $3 \cdot 10^{17} \text{cm}^{-3}$).

GaInP emitter mesas are defined in a well-controlled manner by selective etching on GaAs. Similarly, the materials GaInP and GaAs have very different types of behavior with respect to ion implantation as shown by the curves of Figures 4 and 5.

The curves (a), (b), (c) and (d) respectively pertain to measurements made before, during, 10 minutes after and 1 hour after ion implantation.

整理番号 = P 4 1 0 6 0

ページ (7/12)

Figures 4 and 5 show the difference in sensitivity of the electrical conductivity (respectively) of n doped GaInP and p doped GaAs, with boron implantation at 200 kV as a function of the dose of ions deposited. The figures track the changes in electrical conductivity as a function of the annealing time at 416°C. In the case of n type GaInP, the material has electrical resistivity greater than 10^5ohms.cm for implantation doses of $5 \cdot 10^{12} \text{cm}^{-2}$. By means of this phenomenon, it is possible to make the n doped GaInP layers practically insulating so as to define the elements 61 mentioned here above whereas, at the same time, a layer of p doped GaAs keeps practically the same electrical resistivity.

A more detailed description shall now be given of the method of manufacture according to the invention used to obtain a heterojunction transistor of this type. This method comprises the main steps illustrated in Figures 6a to 6f.

Using a GaAs substrate 10, the epitaxial growth of the following layers is achieved:

- a sub-collector layer 21 (n doped GaAs);
- a collector layer 20 (n doped GaAs);
- a base layer 30 (p doped GaAs);
- an emitter layer 40 (n doped GaInP);
- a contact layer 41 (GaInAs);

A layer 42 of refractory metal (TiWSi, WN; TiW, ...) is deposited off-site in order to provide the refractory ohmic contact.

A major advantage of the use of a refractory material arises out of the possibility of annealing the structure after the definition of the emitter mesa (described here below) so as to facilitate the removal of hydrogen trapped essentially in the base semiconductor layer during epitaxy. Indeed, the refractory metal is used to support the high temperatures needed for the detrapping of the hydrogen. It must be noted that the presence of the mesa increases the probability of the exodiffusion of the hydrogen trapped in the base acceptor atoms which are confined in the potential well brought about by the junctions. The stacking of the layers thus made is illustrated in Figure 6a.

整理番号 = P 4 1 0 6 0

ページ (8/12)

In a second stage, in order to insulate the bipolar transistors, which are made in a batch out of a common substrate, implantation protection masks 50 are made out of resin and a deep electrically insulating ion implantation (H, He, B, O, F, ...) is carried out in order to reduce the parasites of the component and obtain intercomponent insulation by means of insulation wells 51 and 52 (Figure 6b).

Then, a thickening metallization 60, with a width l , is deposited, then the emitter ohmic contact is deposited by a standard lift-off method, and then a selective passivation ion implantation is done with boron at 200 kV so as to define the insulating region 61 in the emitter layer 40. The implantation step leads inherently to the recessed mesa 40 shown in Figure 6c. The metallization 60 may be made of Ti/Au, with a typical width of $2\ \mu\text{m}$ and a thickness of about $1\ \mu\text{m}$. Owing to the presence of the metallization on the emitter, the semiconductor materials protected by this mask have their initial conductivity preserved. The thickness of the metallization made of refractory material is sufficiently small to enable the ions to cross it without major loss of energy. The boron implantation dose is $2.5 \cdot 10^{12}\text{cm}^{-2}$ so much so that only the layer of GaInP exposed is made insulating. The tail end of distribution of the ions goes through the base without disturbing it owing to the low sensitivity of this material to implantation. By contrast, the GaAs collector with weak n type doping (of about $2 \cdot 10^{16}\text{cm}^{-3}$) may also be slightly modified electrically by this tail end of distribution without major drawbacks.

- A second etching mask of photosensitive resin 70 with a width L is made. The refractory metal is etched by SF_6 based reactive dry etching. Then, the layer 41 of GaAs is etched by SiCl_4 based reactive ion etching and the boron-implanted GaInP layer 61 is subjected to HCl based chemical etching. Typically, the GaAs layer may be etched by chlorinated reactive ion etching such as SiCl_4 or else by wet etching using citric acid for example. The GaInP may be etched with a solution based on pure or diluted hydrochloric acid. Thus, electrical insulating elements 61 are defined on either side of the emitter mesa 40 as shown in Figure 6d. The electrical insulating elements may typically have a width of at least $0.3\ \mu\text{m}$ to passivate the base efficiently. The width of $1\ \mu\text{m}$ provides for an efficient compromise for obtaining microwave components. Indeed, the microwave gain drops by about 1 dB to 10 GHz per spacing micron between the active zone of the emitter and the edge of the strip of the base ohmic contact. This is because of the increase in the access resistance of the base and the base-collector capacitor.

整理番号 = P 4 1 0 6 0

ペジ (9/12)

- In a subsequent step shown in Figure 6e, the base mesa is etched by dry etching (chlorinated RIE) or combined etching (RIE and then chemical etching) and then the collector ohmic contacts 81 and 82 are made.

- Then the base ohmic contact is made. This base ohmic contact takes the form of a metal layer 94 and is self-aligned with the mesa of the emitter. Then the extrinsic base is etched in order to reduce the base-collector parasitic capacitance as shown in Figure 6f. The metallization of the ohmic contact can be made for example with a Ti/Pt/Au or Mo/Au alloy. The use of a metallization that does not contain any Pt or Pd may prevent the appearance of a catalytic reaction with the ambient molecular hydrogen. The overhang of about 0.1 μm , easily obtained beneath the refractory metal (in the case of the wet etching of the upper layer based on arsenide compounds), enables a thick base metallization that is favorable to the microwave operation of the component, in limiting the phenomena propagated at high frequency in the strips of the base.

This method and the component resulting therefrom have a certain number of advantages, including the following:

- the thick elements 61 provide for thick passivation and hence excellent long-term stability;

- the use of a refractory metal 42 makes it possible to envisage an easier removal of the hydrogen present in the base after the definition of the emitter mesa and therefore enables an increase in the reliability of the device;

- the method described here above remains compatible with the presence of a more conventional thin passivation layer and also with the presence of a ballast resistor integrated into the emitter layer as described in the French patent application published under No. 2 736 468 and filed by the present Applicant. An exemplary transistor according to the invention comprising a passivation layer 100 is illustrated in figure 7.

- the component obtained is compatible with the making of an upper heat sink as described in the French patent application published under No. 2 737 342 and filed by the present Applicant. An exemplary component according to the invention comprising a passivation layer 100 and a heat sink 101 is illustrated in figure 8. In the above description, the mask element 60 is a metal element. This mask element may also be made of resin and subsequently eliminated.

整理番号=P 4 1 0 6 0

ページ (10/12)

In this case, the heat sink may lie directly on the layer 94 in contact with the level of the emitter. Indeed, the total width of the unit comprising the mesa 40 and the elements 61, namely the dimension L, is sufficient to locally clear the passivation layer 100 and make the heat sink lie directly on the layer 94, as illustrated in figure 9.

整理番号 = P 4 1 0 6 0

ページ (11/12)

4. Brief Description of Drawings

- Figure 1 illustrates a standard structure of a heterojunction bipolar transistor;
- Figure 2 illustrates a prior art heterojunction bipolar transistor in which a special architecture of an emitter mesa is used to limit the electron/hole recombination;
- Figure 3 illustrates a heterojunction bipolar transistor according to the invention;
- Figure 4 illustrates the development of the resistivity of the n doped GaInP constituting an « emitter » layer in a transistor according to the invention, as a function of a dose of boron ions in an ion implantation step;
- Figure 5 illustrates the development of the resistivity of p doped GaAs constituting a base layer in a transistor according to the invention as a function of a dose of boron ions in an ion implantation step;
- Figures 6a illustrates the main steps of a method for the manufacture of a transistor according to the invention;
- Figures 6b illustrates the main steps of a method for the manufacture of a transistor according to the invention;
- Figures 6c illustrates the main steps of a method for the manufacture of a transistor according to the invention;
- Figures 6d illustrates the main steps of a method for the manufacture of a transistor according to the invention;
- Figures 6e illustrates the main steps of a method for the manufacture of a transistor according to the invention;
- Figures 6f illustrates the main steps of a method for the manufacture of a transistor according to the invention;

整理番号 = P 4 1 0 6 0

ページ (12/12)

- Figure 7 illustrates an exemplary bipolar transistor comprising a passivation layer;

- Figure 8 illustrates a first exemplary bipolar transistor comprising a heat sink lying especially on the mask with a width l ;

- Figure 9 illustrates a second exemplary bipolar transistor comprising a heat sink lying on the mesa without a mask with a width l .

Fig.1

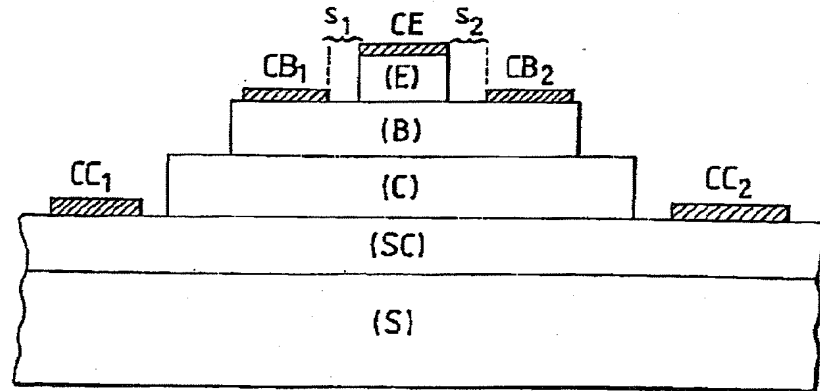


FIG.1

Fig.2

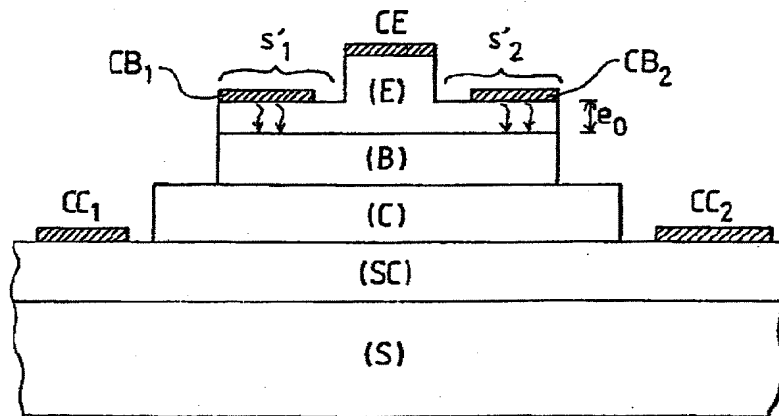


FIG.2

整理番号=P 4 1 0 6 0

ページ (2/8)

Fig.3

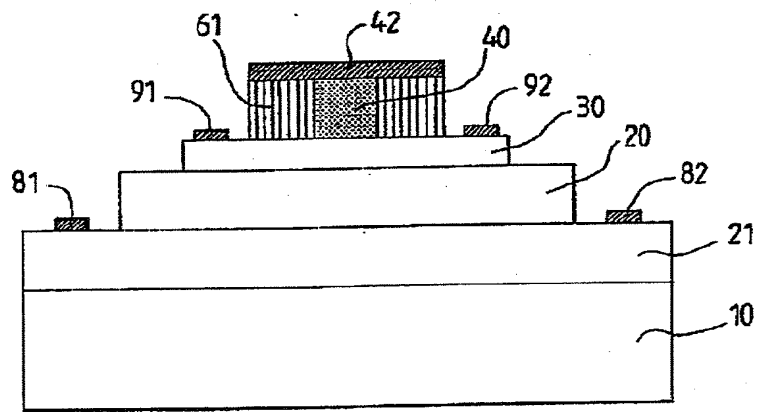


FIG.3

整理番号=P 4 1 0 6 0

ページ (3/8)

Fig.4

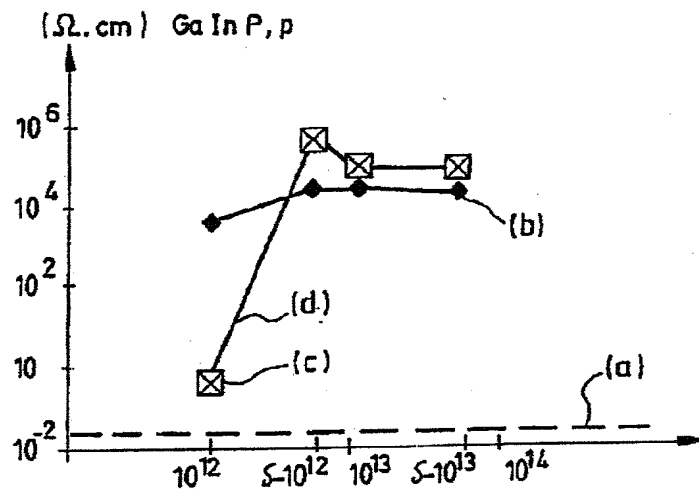


FIG. 4

Fig.5

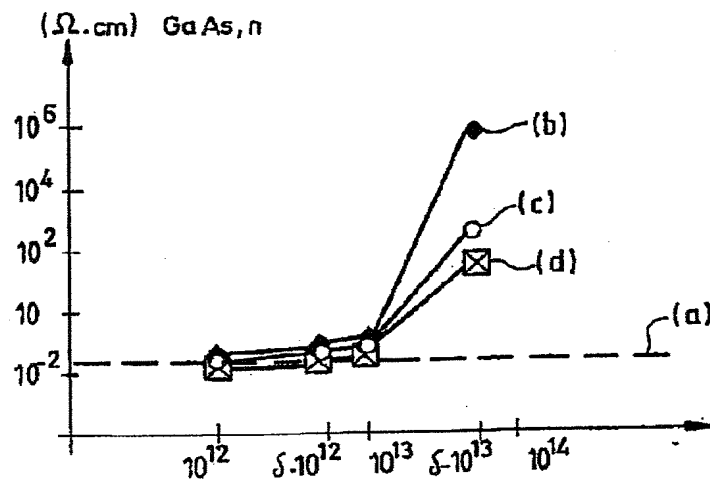


FIG. 5

整型番号 = P 4 1 0 6 0

ページ (4/B)

Fig.6a

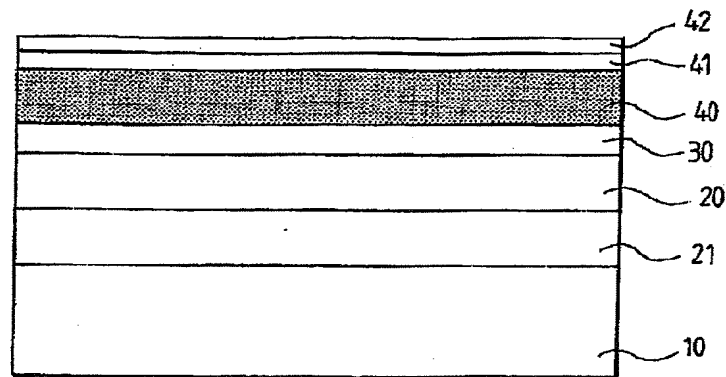


FIG. 6a

Fig.6b

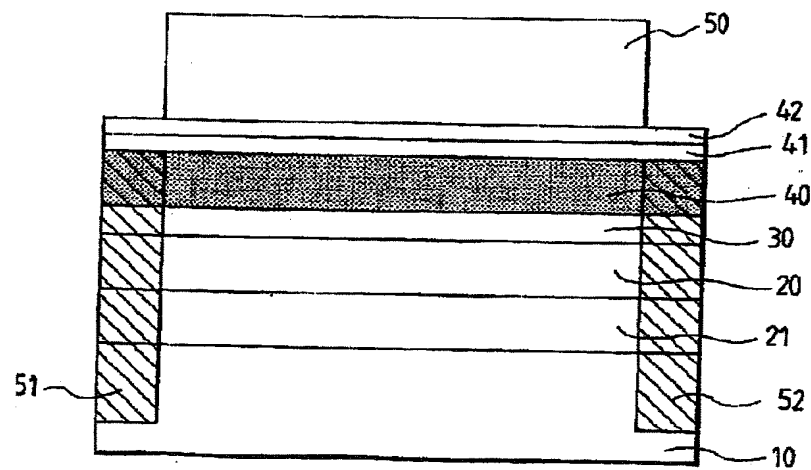


FIG. 6b

整理番号 = P 4 1 0 6 0

ページ (5/8)

Fig.6c

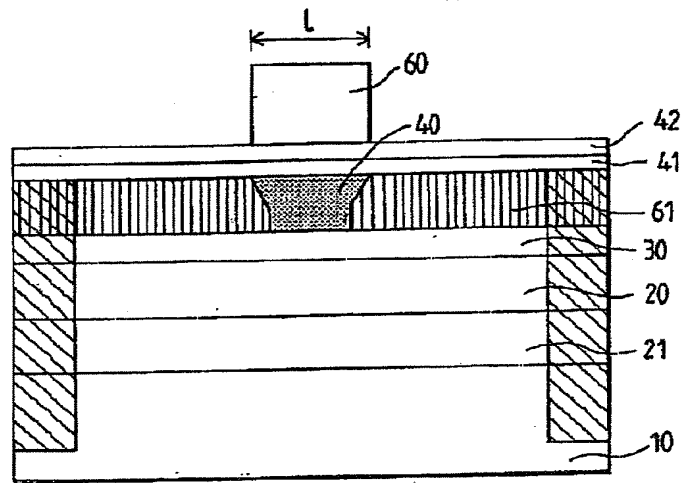


FIG.6c

Fig.6d

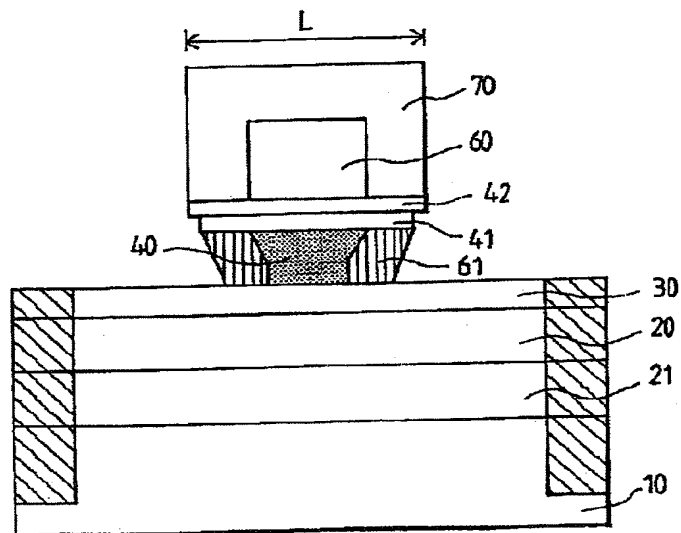


FIG.6d

整理番号 = P 4 1 0 6 0

ページ (6/8)

Fig.6e

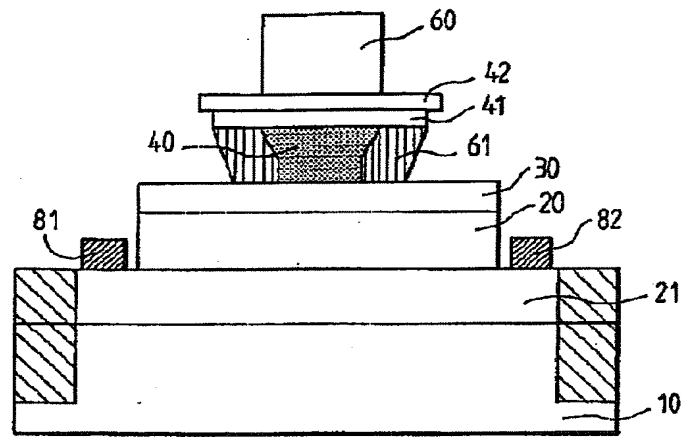


FIG.6e

Fig.6f

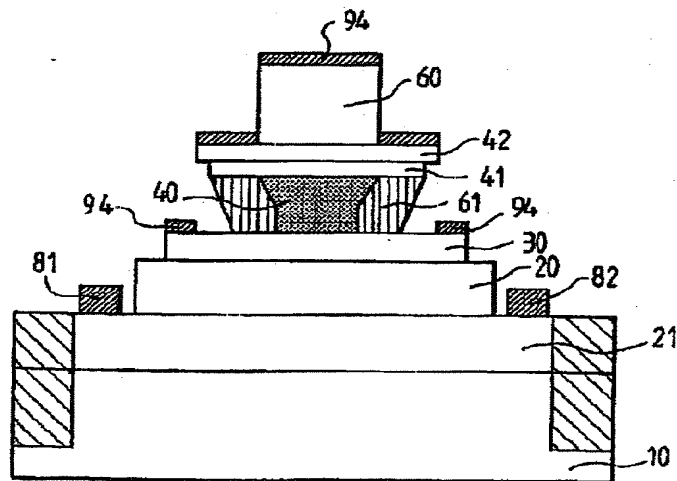


FIG.6f

整理番号=P 4 1 0 6 0

ページ (7/8)

Fig.7

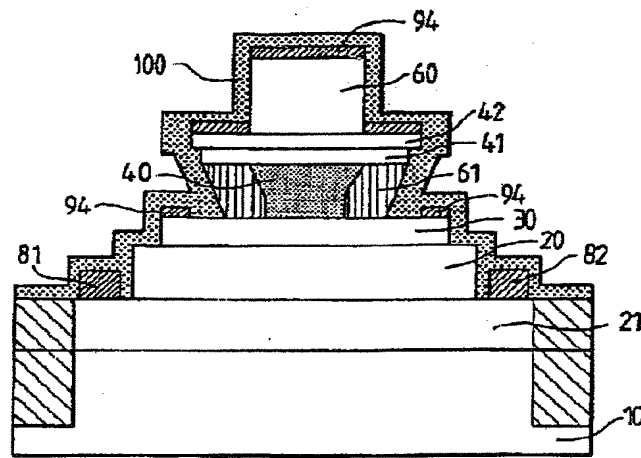


FIG. 7

Fig.8

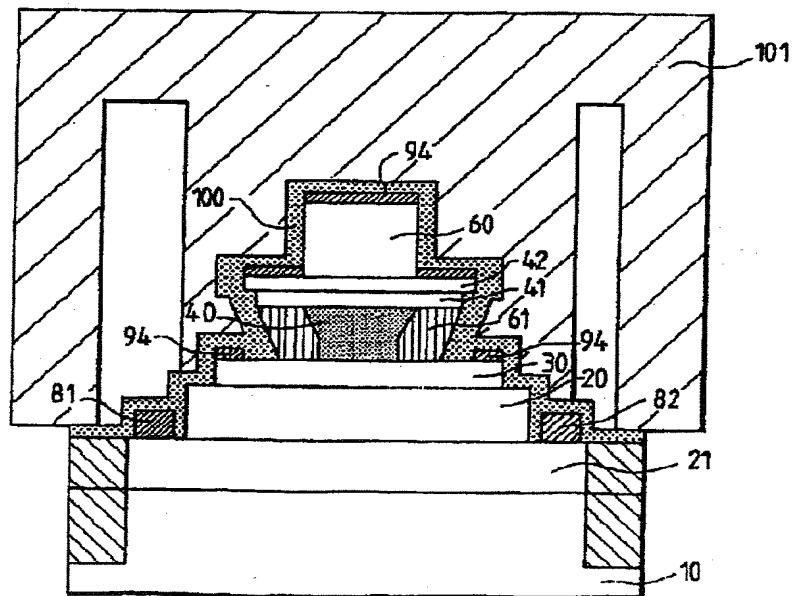


FIG. 8

整列番号 = P 4 1 0 6 0

ページ (8/8)

Fig.9

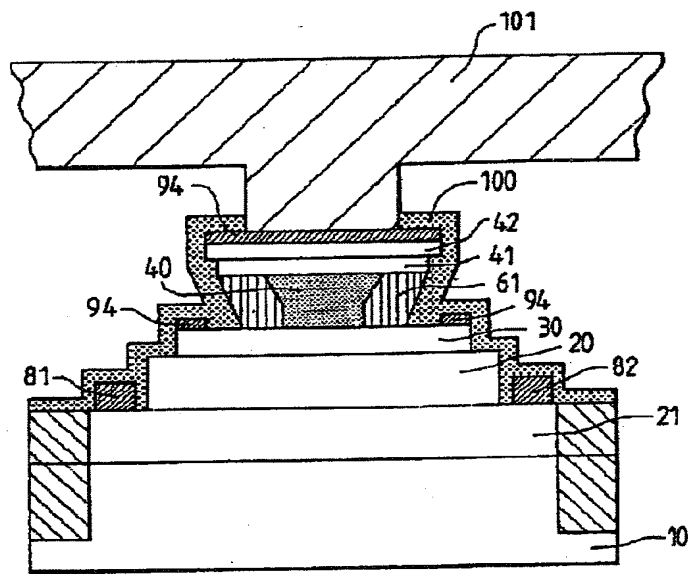


FIG.9

1. Abstract

A semiconductor component of the heterojunction bipolar transistor type comprises, on a substrate, a collector, a base and a mesa-shaped emitter resting on the base. The bipolar transistor furthermore comprises electrically insulating elements in contact with the base and the flanks of the emitter mesa, said elements having a width of the same magnitude as the width of the mesa and providing the component with greater stability. Furthermore, a method for the manufacture of a component of this kind comprises in particular a step for the ion implantation of insulating ions through the constituent layer of the emitter mesa so as to define the electrically insulating elements.

2. Representative Drawing

Fig. 6f